

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284588

(43)Date of publication of application : 12.10.2001

(51)Int.Cl. H01L 29/78
H01L 21/336

(21)Application number : 2000-091051 (71)Applicant : SANYO ELECTRIC CO LTD

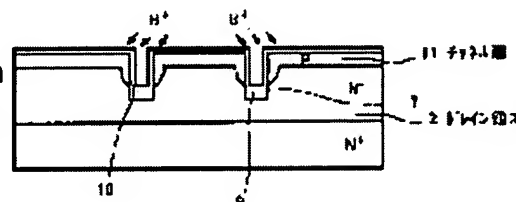
(22)Date of filing : 29.03.2000 (72)Inventor : KUBO HIROTOSHI

(54) INSULATED GATE TYPE SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate a problem that in a trench type power MOSFET, there is a gradient in the impurity concentration in the depthwise direction from the surface of a channel layer which is caused by the requirement of forming the channel layer thick according to the depth of trenches, and dummy oxidation and thermal oxidation at the time of forming a gate oxide film decrease the impurity concentration, resulting in a larger variation in the impurity concentration in the channel layer, and the uneven impurity concentration in the channel layer caused by these reasons leads to an uneven threshold voltage.

SOLUTION: After forming the trenches 7 and the gate oxide film 10, Bt ions are implanted aslant into the side faces of the trenches 7 to form the channel layer 11 along the side faces of the trenches 7. As a result, a variation of the impurity concentration in the channel layer 11 along the side faces of the trenches 7 is suppressed, thereby obtaining a uniform threshold voltage.



LEGAL STATUS

[Date of request for examination] 13.06.2002

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項1】 ドレイン領域となる一導電型の半導体基板と、前記半導体基板に設けたトレンチと、該トレンチの表面に設けたゲート絶縁膜と、前記トレンチ側面に沿って設けた逆導電型のチャネル層と、前記トレンチに埋め込まれた半導体材料からなるゲート電極と、前記トレンチに隣接して設けた一導電型のソース領域とを具備することを特徴とする絶縁ゲート型半導体装置。

【請求項2】 前記チャネル層は前記トレンチ側面の前記ゲート絶縁膜に沿って均一な不純物濃度を有することを特徴とする請求項1に記載の絶縁ゲート型半導体装置。

【請求項3】 前記ゲート絶縁膜は酸化膜であることを特徴とする請求項1に記載の絶縁ゲート型半導体装置。

【請求項4】 前記ゲート電極はポリシリコンであることを特徴とする請求項1に記載の絶縁ゲート型半導体装置。

【請求項5】 一導電型の半導体基板にトレンチを形成する工程と、

前記トレンチの内壁に前記ゲート絶縁膜を形成する工程と、

前記トレンチの側面にイオンを注入し、前記トレンチ側面に沿って不純物濃度が均一なチャネル層を形成する工程と、

前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、

前記チャネル層表面で前記トレンチに隣接して一導電型のソース領域を形成する工程とを具備することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項6】 前記イオンはトレンチ側面に対して斜めに注入されることを特徴とする請求項5に記載の絶縁ゲート型半導体装置の製造方法。

【請求項7】 一導電型の半導体基板にトレンチを形成する工程と、

前記半導体基板上に厚い絶縁膜を設けて、前記トレンチを前記絶縁膜で埋設した後、前記絶縁膜をエッチングして前記トレンチ底部に前記絶縁膜をゲート絶縁膜より厚く残して、埋め込み絶縁膜を形成する工程と、

前記トレンチの内壁に前記ゲート絶縁膜を形成する工程と、

前記トレンチの側面にイオンを注入し、前記トレンチ側面に沿って不純物濃度が均一なチャネル層を形成する工程と、

前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、

前記チャネル層表面で前記トレンチに隣接して一導電型のソース領域を形成する工程とを具備することを特徴とする請求項5に記載の絶縁ゲート型半導体装置の製造方法。

【請求項8】 前記イオンはトレンチ側面に対して斜め

に注入されることを特徴とする請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【請求項9】 前記イオン注入時に前記埋め込み酸化膜を前記イオン注入のマスクとして用いることを特徴とする請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【請求項10】 前記トレンチ側面および前記一導電型半導体領域全面にマスクなしでイオン注入することを特徴とする請求項5または請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【請求項11】 前記ゲート絶縁膜を形成後に、前記チャネル層を形成することを特徴とする請求項5または請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【請求項12】 前記トレンチを埋設する前記絶縁膜はCVD酸化膜で形成されることを特徴とする請求項5または請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【請求項13】 前記トレンチを埋設する前記絶縁膜は熱酸化膜で形成されることを特徴とする請求項5または請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【請求項14】 前記ゲート電極はポリシリコンにより形成されることを特徴とする請求項5または請求項7に記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁ゲート型半導体装置およびその製造方法に係り、特に不純物濃度が均一なチャネル領域を有するトレンチ構造の絶縁ゲート型半導体装置およびその製造方法に関する。

【0002】

【従来の技術】携帯端末の普及に伴い小型で大容量のリチウムイオン電池が求められるようになってきた。このリチウムイオン電池の充放電のバッテリーマネジメントを行う保護回路は携帯端末の軽量化のニーズにより、より小型で負荷ショートにも十分に耐えうるものでなくてはならない。かかる保護回路はリチウムイオン電池の容器内に内蔵されるために小型化が求められ、チップ部品を多用したCOB(Chip on Board)技術が駆使され、小型化の要求に应运ってきた。しかし一方ではリチウムイオン電池に直列にパワーMOSFETを接続するのでこのパワーMOSFETのオン抵抗も極めて小さくするニーズがあり、これが携帯電話では通話時間や待機時間を長くするために不可欠の要素である。

【0003】このためにチップを製造する上で微細加工によりセル密度を上げる開発が進められてきた。具体的には、チャネルが半導体基板表面に形成されるプレーナ構造ではセル密度は740万個/平方インチであったが、チャネルをトレンチの側面に形成するトレンチ構造の第1世代ではセル密度は2500万個/平方インチと

大幅に向上した。さらにトレンチ構造の第2世代では、微細化によりセル密度は7200万個/平方インチまで向上できた。

【0004】このようにセルをトレンチ構造にすることによりセル密度の向上を図り、低オン抵抗化はある程度実現されてきたが、トレンチ構造の場合、チャネル層もトレンチの深さにあわせて厚みを持たせる必要があり、イオン注入と熱拡散によりチャネル層を形成するためにチャネル層表面からトレンチ深さ方向にかけて不純物濃度にばらつきが生じ、さらに、トレンチを形成してその側壁に熱酸化膜を生成するために、トレンチ側面のチャネル領域では不純物濃度のばらつきがさらに大きくなる問題点があった。

【0005】図28に従来のトレンチ構造のパワーMOSFETの構造をNチャネル型を例に示す。

【0006】N⁺型のシリコン半導体基板21の上にN型のエピタキシャル層からなるドレイン領域22を設け、その表面にP型のチャネル層24を設ける。チャネル層24を貫通し、ドレイン領域22まで到達するトレンチ27を設け、トレンチ27の内壁をゲート酸化膜31で被膜し、トレンチ27に充填された例えばポリシリコンなどよりなるゲート電極33を設ける。トレンチ27に隣接したチャネル層24表面にはN⁺型のソース領域35が形成され、隣り合う2つのセルのソース領域35間のチャネル層24表面にはP⁺型のボディ領域34を設ける。さらにチャネル層24にはソース領域35からトレンチ27に沿ってチャネル領域(図示せず)が形成される。ゲート電極33上は層間絶縁膜36で覆い、ソース領域35およびボディ領域34にコンタクトするソース電極37を設ける。

【0007】図19から図28を参照して、従来のトレンチ構造のパワーMOSFETの製造工程を示す。

【0008】図19では、N⁺型シリコン半導体基板21にN型のエピタキシャル層を積層してドレイン領域22を形成する。表面に酸化膜23を形成した後、予定のチャネル層24の部分の酸化膜23をエッチングする。この酸化膜23をマスクとして全面にドーズ量 $1.0 \times 10^{12} \sim 10^{13} \text{ cm}^{-2}$ 、加速エネルギー30KeVでボロンを注入した後、拡散してP型で厚み約 $1.5 \mu\text{m}$ のチャネル層24を形成する。

【0009】図20から図23にトレンチを形成する工程を示す。

【0010】図20では、全面にCVD法によりNSG(Non-doped Silicate Glass)のCVD酸化膜25を厚さ3000Åに生成する。

【0011】図21ではレジスト膜によるマスクをトレンチ開口部26となる部分を除いてかけて、CVD酸化膜25をドライエッチングして部分的に除去し、チャネル領域24が露出したトレンチ開口部26を間口約 $1.0 \mu\text{m}$ に形成する。

【0012】図22では、CVD酸化膜25をマスクとしてトレンチ開口部26のシリコン半導体基板をCF系およびHBr系ガスにより異方性ドライエッチングし、チャネル層24を貫通してドレイン領域22まで達する約 $2.0 \mu\text{m}$ の深さのトレンチ27を形成する。

【0013】図23ではダミー酸化をしてトレンチ27内壁とチャネル層24表面に酸化膜(図示せず)を形成してドライエッチングの際のエッチングダメージを除去し、その後、この酸化膜とCVD酸化膜25をエッチングにより除去する。

【0014】図24では、ゲート酸化膜31を形成する。すなわち、全面を熱酸化してゲート酸化膜31を例えば厚み約700Åに形成する。

【0015】図25では、トレンチ27に埋設されるゲート電極33を形成する。すなわち、全面にノンドープのポリシリコン層32を付着し、リンを高濃度に注入・拡散して高導電率化を図り、ゲート電極33を形成する。その後全面に付着したポリシリコン層32をマスクなしでドライエッチして、トレンチ27に埋設したゲート電極33を残す。

【0016】図26ではレジスト膜PRによるマスクにより選択的にボロンをドーズ量 5.0×10^{14} でイオン注入し、P⁺型のボディ領域34を形成した後、レジスト膜PRを除去する。

【0017】図27では、新たなレジスト膜PRで予定のソース領域35およびゲート電極33を露出する様にマスクして、砒素をドーズ量 5.0×10^{15} でイオン注入し、N⁺型のソース領域35をトレンチ27に隣接するチャネル層24表面に形成した後、レジスト膜PRを除去する。

【0018】図28では、全面にBPSG(Boron Phosphorus Silicate Glass)層をCVD法により付着して、層間絶縁膜36を形成する。その後、レジスト膜をマスクにして少なくともゲート電極33上に層間絶縁膜36を残す。その後アルミニウムをスパッタ装置で全面に付着して、ソース領域35およびボディ領域34にコンタクトするソース電極37を形成する。

【0019】

40 【発明が解決しようとする課題】かかる従来のMOSFETではチャネル層24を形成した後、トレンチ27を形成し、トレンチ27内壁を熱酸化してゲート酸化膜31を形成していた。チャネル層24はトレンチ27深さにあわせて例えば約 $1.5 \mu\text{m}$ の厚みを持たせる必要があり、イオン注入でチャネル層24を形成するため、チャネル層24表面から深さ方向にかけて不純物濃度勾配を生じる。また、トレンチ27形成後のダミー酸化およびゲート酸化膜31を形成する際の熱酸化で、トレンチ27に接するチャネル層24では不純物のボロンがディフュージョンにより減少するため、トレンチ27周辺では不

純物濃度が低くなり、さらに大きなばらつきとなる。これにより、MOSFETのスレッシュホールド電圧が熱処理の影響を受けてトレンチ27内壁に沿って不均一となる問題点を有していた。

【0020】

【課題を解決するための手段】本発明はかかる課題に鑑みてなされ、ドレイン領域となる一導電型の半導体基板と、前記半導体基板に設けたトレンチと、該トレンチの表面に設けたゲート絶縁膜と、前記トレンチ側面に沿って設けた逆導電型のチャンネル層と、前記トレンチに埋め込まれた半導体材料からなるゲート電極と、前記トレンチに隣接して設けた一導電型のソース領域とを具備するもので、トレンチ側面でチャンネル領域として使用したい部分に不純物濃度が均一なチャンネル層を形成することができる。

【0021】また、一導電型の半導体基板にトレンチを形成する工程と、前記トレンチの内壁に前記ゲート酸化膜を形成する工程と、前記トレンチ側面に斜めにイオンを注入し、前記トレンチ側面に沿って不純物濃度が均一なチャンネル層を形成する工程と、前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、前記チャンネル層表面で前記トレンチに隣接して一導電型のソース領域を形成する工程とを具備するもので、ゲート酸化膜形成後に、チャンネル層を形成するため、トレンチ周辺のチャンネル層が熱酸化の影響を受けず、セルフアラインに不純物濃度が均一なチャンネル層を形成することができる。

【0022】従って、セルフアラインに不純物濃度が均一なチャンネル層を形成でき、それによりスレッシュホールド電圧が均一となる絶縁ゲート型半導体装置およびその製造方法を提供できる。

【0023】

【発明の実施の形態】本発明の第一の実施の形態を図1から図10を参照して詳細に説明する。

【0024】ここでは、トレンチ型パワーMOSFETの構造をNチャンネル型を例に図10に示す。

【0025】図10では、トレンチ型パワーMOSFETはドレイン領域となる一導電型の半導体基板と、前記半導体基板に設けたトレンチと、該トレンチの表面に設けたゲート絶縁膜と、前記トレンチ側面に沿って設けた逆導電型のチャンネル層と、前記トレンチに埋め込まれた半導体材料からなるゲート電極と、前記トレンチに隣接して設けた一導電型のソース領域で構成される。

【0026】半導体基板は、N⁺型のシリコン半導体基板1の上にN⁺型のエピタキシャル層からなるドレイン領域2からなり、トレンチ7は底部に厚い埋め込み酸化膜9を有し、ドレイン領域2まで到達している。ゲート酸化膜10は、トレンチ7の他の内壁を被覆し、熱酸化により例えば、約700Åの厚みに形成される。チャンネル層11は、埋め込み酸化膜9をマスクにしてトレンチ

7側壁に沿ってP型のイオンを注入することにより、不純物濃度が均一に形成される。ゲート電極13は、トレンチ7に埋設されたポリシリコンよりなる。ソース領域15はトレンチ7に隣接したチャンネル層11にN⁺型のイオンを注入して形成される。ボディ領域14は隣り合う2つのセルのソース領域15間のチャンネル層11表面にP⁺型のイオンを注入して設ける。チャンネル領域（図示せず）は、チャンネル層11のソース領域15からトレンチ7に沿って伸び、層間絶縁膜16は少なくともトレンチ7上に設けられ、ソース電極17は、ソース領域15およびボディ領域14にコンタクトして、層間絶縁膜16の上に設ける。

【0027】本発明の特徴とする点はチャンネル層11にある。チャンネル層11はトレンチ7側壁を被覆するゲート酸化膜10を介して、斜めにイオン注入して形成されるので、チャンネル層11のゲート酸化膜10に隣接した表面の不純物濃度はトレンチ7の深さ方向に従って均一にできる。このため、MOSFETのスレッシュホールド電圧はチャンネル層11全体に渡って均一にすることができる。

【0028】図18に他のトレンチ型パワーMOSFETの構造をNチャンネル型を例に示す。図18では、トレンチ7底部に埋め込み酸化膜9を形成せず、トレンチ7内壁は薄いゲート酸化膜10で覆われている。それ以外は図10に示す第一の実施形態と同じ構造である。

【0029】次に図1から図10を参照して本発明のトレンチ型パワーMOSFETの第一の実施の形態による製造方法をNチャンネル型を例に説明する。

【0030】本発明の第一の方法によるトレンチ型パワーMOSFETは一導電型の半導体基板にトレンチを形成する工程と、前記半導体基板上に厚い絶縁膜を設けて、前記トレンチを前記絶縁膜で埋設した後、前記絶縁膜をエッチングして前記トレンチ底部に前記絶縁膜をゲート絶縁膜より厚く残して埋め込み絶縁膜を形成する工程と、前記トレンチの内壁に前記ゲート絶縁膜を形成する工程と、前記トレンチ側面に斜めにイオンを注入し、前記トレンチ側面に沿って不純物濃度が均一なチャンネル層を形成する工程と、前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、前記チャンネル層表面で前記トレンチに隣接して一導電型のソース領域を形成する工程から構成される。

【0031】図1および図2は一導電型の半導体基板にトレンチ7を形成する工程を示す。

【0032】図1では、N⁺型シリコン半導体基板1にN⁺型のエピタキシャル層を積層してドレイン領域2を設ける。全面にCVD法によりNSG(Non-doped Silicate Glass)のCVD酸化膜5を3000Åの厚さに生成した後、レジスト膜によるマスクをかけてCVD酸化膜5をドライエッチングにより部分的に除去する。その後ドレイン領域2が露出したト

レンチ開口部6を、例えば間口約 $1.0\mu\text{m}$ に形成する。

【0033】続いて図2では、トレンチ開口部6よりCVD酸化膜5をマスクとしてシリコン半導体基板をCF系およびHBr系ガスにより異方性ドライエッチングし、約 $2.0\mu\text{m}$ の深さのトレンチ7を形成する。

【0034】図3および図4は、半導体基板上に厚い酸化膜を設けて、トレンチ7を酸化膜で埋設した後、酸化膜をエッチングしてトレンチ7底部に酸化膜をゲート酸化膜10より厚く残して埋め込み酸化膜9を形成する工程を示す。

【0035】図3では、まず、全面をダミー酸化して形成したダミー酸化膜（図示せず）とCVD酸化膜5を同時に除去してトレンチ7内のエッチングダメージを取り除いた後、全面に新たにCVD酸化膜8を形成する。この時のCVD酸化膜8の厚みはトレンチ7の開口寸法の少なくとも2分の1以上になるように堆積し、これによりトレンチ7の内部はCVD酸化膜8で完全に埋設する事になる。具体的には開口部の寸法が約 $1.0\mu\text{m}$ のときCVD酸化膜8は 5000\AA 以上堆積させる。

【0036】図4ではトレンチ7の底部にCVD酸化膜8が 1000\AA 以上残るように、ドライエッチまたはウェットエッチによりCVD酸化膜8を除去する。具体的には本発明のトレンチ深さは $2.0\mu\text{m}$ なので $1.8\mu\text{m}$ のエッチングすると、半導体基板上のCVD酸化膜8が完全に除去され、トレンチ7の底部には、 2000\AA の厚みの埋め込み酸化膜9が残ることになり、後にトレンチ7側面にチャネル層11を形成する際のマスクとして使用される。

【0037】図5はトレンチ7の内壁にゲート酸化膜10を形成する工程を示す。すなわち全面を 1000°C 以上で熱酸化して、半導体基板表面と、トレンチ内壁に例えば、厚み約 700\AA のゲート酸化膜10を形成する。

【0038】図6では、本発明の特徴である、トレンチ7側面に斜めにイオンを注入し、トレンチ7側面に沿って不純物濃度が均一なチャネル層11を形成する工程を示す。

【0039】全面にボロンを、トレンチ7側面に対して斜めになるように注入角を設定して注入する。このときの注入条件はドーズ量 $1.0\times 10^{12}\sim 10^{13}\text{cm}^{-2}$ 、加速エネルギー 30KeV とする。トレンチ7の底部には埋め込み酸化膜9が形成されているため、これがマスクとなり、ドレイン領域表面2からトレンチ7側壁に沿ってチャネル層11が形成される。また、ダミー酸化およびゲート酸化膜10形成後にチャネル層11を形成するため、熱酸化の影響を受けず、チャネル層11中のボロンのディブリートによる減少がなくなる。従って、この方法によると、トレンチ7側壁でチャネル領域として利用したい部分に集中して形成することができ、従来と同じ条件のイオン注入でも不純物濃度が均一なチャネル層1

1を形成できる。

【0040】図7では、トレンチ7に埋設される半導体材料からなるゲート電極13を形成する工程を示す。全面にノンドープのポリシリコン層12を例えば約 5000\AA （トレンチ開口寸法の2分の1）以上の厚みにCVD法で堆積し、リンを高濃度にドーブした後、拡散させて高導電率化を図り、ポリシリコン層12をエッチバックしてトレンチ7に埋設されたゲート電極13を形成する。

【0041】図8はボディ領域14を形成する工程を示す。トレンチ7の間のチャネル層11を除いてレジスト膜PRのマスクにより、選択的に、ボロンをドーズ量 5.0×10^{14} でイオン注入し、P⁺型のボディ領域14を形成し、その後レジスト膜PRを除去する。ボディ領域14はドレイン領域2とチャネル層11で形成される基板の電位安定化のために形成される。

【0042】図9は、チャネル層11表面でトレンチ7に隣接して一導電型のソース領域15を形成する工程を示す。新たにレジスト膜PRでトレンチ7および隣接したチャネル層11を除いてマスクして、選択的に砒素をドーズ量 5.0×10^{15} でイオン注入し、N⁺型のソース領域15を形成し、その後、レジスト膜PRを除去する。これによりドレイン領域2とソース領域15の間のトレンチ7側面がチャネル領域（図示せず）となる。

【0043】図10は、ソース電極17を形成する工程を示す。例えば、BPSG（Boron Phosphorus Silicate Glass）を全面にCVD法により堆積し、層間絶縁膜16を形成し、レジスト膜をマスクにして少なくともゲート電極13上に残るように部分的にエッチングする。続いて、アルミニウムまたはその合金をスパッタ装置で全面に堆積してボディ領域14とソース領域15にコンタクトしたソース電極17を形成する。

【0044】本発明の第二の実施の形態による製造方法を図11から図18を参照してNチャネル型を例に説明する。

【0045】本発明の第二の方法によるトレンチ型パワーMOSFETは一導電型の半導体基板にトレンチを形成する工程と、前記トレンチの内壁に前記ゲート絶縁膜を形成する工程と、前記トレンチ側面に斜めにイオンを注入し、前記トレンチ側面に沿って不純物濃度が均一なチャネル層を形成する工程と、前記トレンチに埋設される半導体材料からなるゲート電極を形成する工程と、前記チャネル層表面で前記トレンチに隣接して一導電型のソース領域を形成する工程から構成される。

【0046】図11および図12は一導電型の半導体基板にトレンチ7を形成する工程を示す。

【0047】図11では、N⁺型シリコン半導体基板1にN⁻型のエピタキシャル層を積層してドレイン領域2を設ける。全面にCVD法によりNSG（Non-doped

pedSilicate Glass)のCVD酸化膜5を3000Åの厚さに生成した後、レジスト膜によるマスクをかけてCVD酸化膜5をドライエッチングにより部分的に除去する。その後ドレイン領域2が露出したトレンチ開口部6を、例えば間口約1.0μmに形成する。

【0048】続いて図12では、トレンチ開口部6よりCVD酸化膜5をマスクとしてシリコン半導体基板をCF系およびHBr系ガスにより異方性ドライエッチングし、約2.0μmの深さのトレンチ7を形成する。

【0049】図13はトレンチ7の内壁にゲート酸化膜10を形成する工程を示す。全面をダミー酸化して形成したダミー酸化膜(図示せず)とCVD酸化膜5を同時に除去してトレンチ7内のエッチングダメージを取り除いた後、全面を1000℃以上で熱酸化して、半導体基板表面と、トレンチ7内壁に例えば、厚み約700Åのゲート酸化膜10を形成する。

【0050】図14では、本発明の特徴である、トレンチ7側面に斜めにイオンを注入し、トレンチ7側面に沿って不純物濃度が均一なチャンネル層11を形成する工程を示す。全面にボロンを、トレンチ7側面に対して大きな角度をつけて斜めになるように注入角を設定して注入する。このときの注入条件はドーズ量 $1.0 \times 10^{12} \sim 10^{13} \text{ cm}^{-2}$ 、加速エネルギー30KeVとする。注入角度が大きいため、トレンチ7自身による陰がマスクとなり、ドレイン領域2表面からトレンチ7側壁に沿ってチャンネル層11が形成される。また、ダミー酸化およびゲート酸化膜10形成後にチャンネル層11を形成するため、熱酸化の影響を受けず、チャンネル層11中のボロンのディプリートによる減少がなくなる。従って、この方法によると、トレンチ7側面でチャンネル領域として利用したい部分に集中して形成することができ、従来と同じ条件のイオン注入でも不純物濃度が均一なチャンネル層11を形成できる。

【0051】図15では、トレンチ7に埋設される半導体材料からなるゲート電極13を形成する工程を示す。全面にノンドープのポリシリコン層12を例えば約5000Å(トレンチ開口寸法の2分の1)以上の厚みにCVD法で付着し、リンを高濃度にドーパした後、拡散させて高導電率化を図り、ポリシリコン層12をエッチバックしてトレンチ7に埋設されたゲート電極13を形成する。

【0052】図16はボディ領域14を形成する工程を示す。トレンチ7の間のチャンネル層11を除いてレジスト膜PRのマスクにより、選択的に、ボロンをドーズ量 5.0×10^{14} でイオン注入し、P+型のボディ領域14を形成し、その後レジスト膜PRを除去する。ボディ領域14はドレイン領域2とチャンネル層11で形成される基板の電位安定化のために形成される。

【0053】図17は、チャンネル層11表面でトレンチ

7に隣接して一導電型のソース領域15を形成する工程を示す。新たにレジスト膜PRでトレンチ7および隣接したチャンネル層11を除いてマスクして、選択的に砒素をドーズ量 5.0×10^{16} でイオン注入し、N+型のソース領域15を形成し、その後、レジスト膜PRを除去する。これによりドレイン領域2とソース領域15の間のトレンチ7側面がチャンネル領域(図示せず)となる。

【0054】図18は、ソース電極17を形成する工程を示す。例えば、BPSG(Boron Phosphorus Silicate Glass)を全面にCVD法により堆積し、層間絶縁膜16を形成し、レジスト膜をマスクにして少なくともゲート電極13上に残るように部分的にエッチングする。続いて、アルミニウムまたはその合金をスパッタ装置で全面に堆積してボディ領域14とソース領域15にコンタクトしたソース電極17を形成する。

【0055】

【発明の効果】本発明の構造に依れば、トレンチ7側面でチャンネル領域として利用したい部分に形成することができ、従来のようにトレンチ深さに応じた厚いチャンネル層を形成する必要がなくなる。すなわち、チャンネル層11はトレンチ7側壁を被覆するゲート酸化膜10を介して、斜めにイオン注入して形成されるので、チャンネル層11のゲート酸化膜10に隣接した表面の不純物濃度はトレンチ7の深さ方向に従って均一とできる。このため、MOSFETのスレッシュホールド電圧はチャンネル層11全体に渡って均一とできる。また第一の方法の場合、副次的な効果としては、トレンチ7の底部に厚い埋め込み酸化膜9を形成するため、ゲートドレイン間の帰還容量が低減できる。このとき、チャンネル層11に接するトレンチ7側壁のゲート酸化膜10は従来通り薄く形成されているので、埋め込み酸化膜9によるスレッシュホールド電圧への影響はなく、パワーMOSFETのスイッチング速度の向上や、トランジスタの性能の向上にも寄与する。

【0056】また、本発明の製造方法に依れば、トレンチ7側面のチャンネル層11がダミー酸化およびゲート酸化膜10形成時の熱酸化や、拡散のための熱処理の影響を受けないため、より不純物濃度が均一にできる。また、従来の設備で実施が可能な上、第一の製造方法に依れば、酸化膜のエッチバックによって形成したトレンチ7内部の埋め込み酸化膜9をマスクとすることで、チャンネル層形成のためのレジスト工程が必要なくなり、セルフアラインでチャンネル層11を形成でき、また第二の製造方法に依れば、埋め込み酸化膜9がなくてもイオン注入の角度を大きくするだけでトレンチ7自身がマスクとなり、セルフアラインでチャンネル層11が形成できるので、工程数が削減し、コストダウンにもなる利点を有する。

【図面の簡単な説明】

11

【図1】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図2】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図3】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図4】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図5】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図6】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図7】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図8】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図9】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図10】本発明の絶縁ゲート型半導体装置およびその製造方法を説明する断面図である。

【図11】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図12】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図13】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図14】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

12

【図15】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図16】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図17】本発明の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図18】本発明の絶縁ゲート型半導体装置およびその製造方法を説明する断面図である。

【図19】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図20】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図21】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図22】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図23】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図24】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

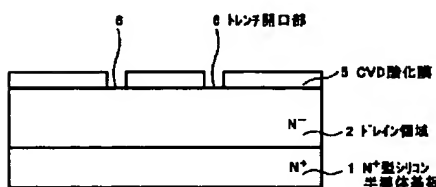
【図25】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図26】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

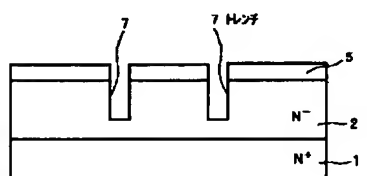
【図27】従来の絶縁ゲート型半導体装置の製造方法を説明する断面図である。

【図28】従来の絶縁ゲート型半導体装置およびその製造方法を説明する断面図である。

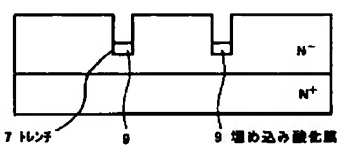
【図1】



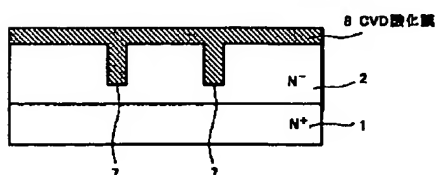
【図2】



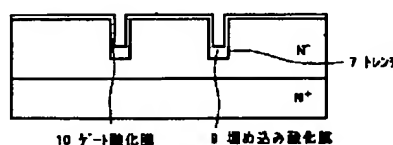
【図4】



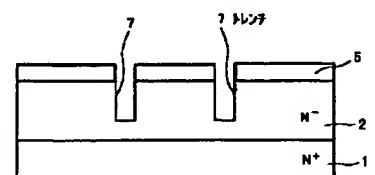
【図3】



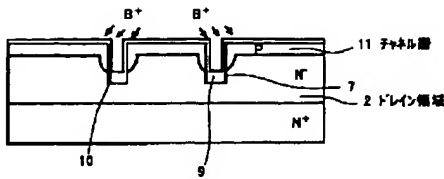
【図5】



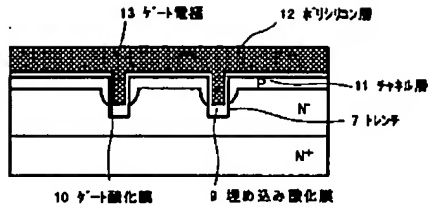
【図12】



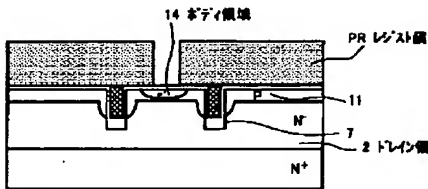
【図6】



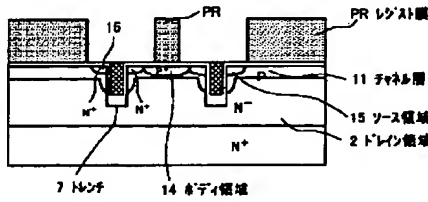
【図7】



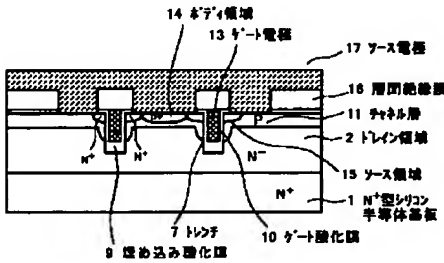
【図8】



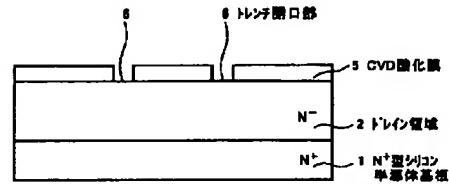
【図9】



【図10】

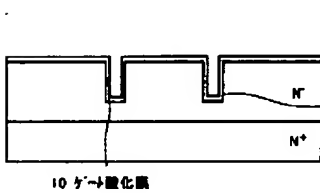


【図11】

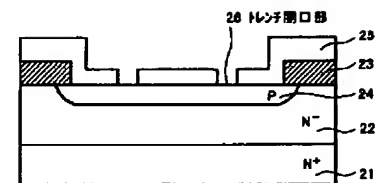
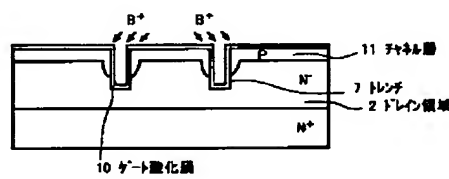


【図21】

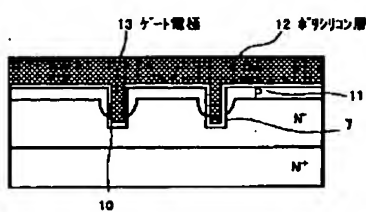
【図13】



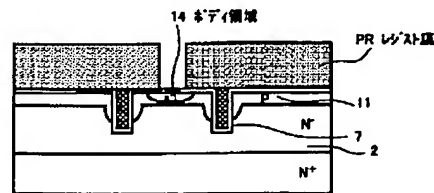
【図14】



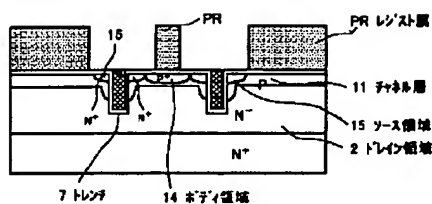
【図15】



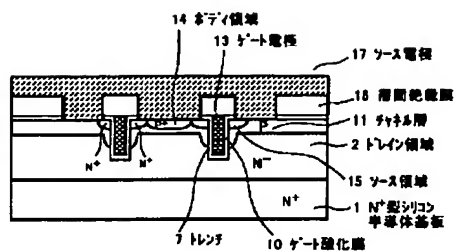
【図16】



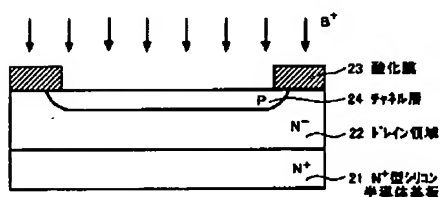
【図17】



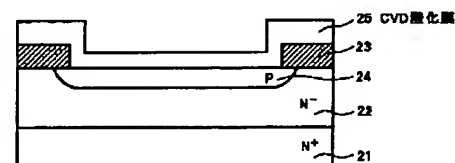
【図18】



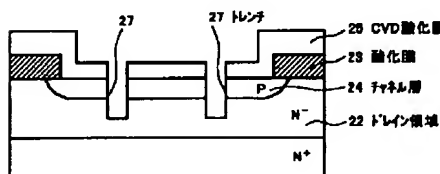
【図19】



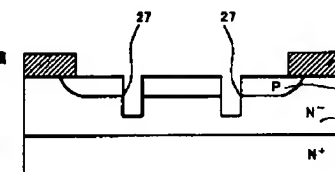
【図20】



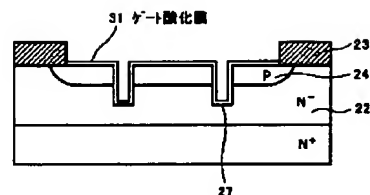
【図22】



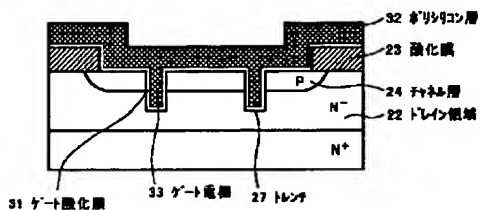
【図23】



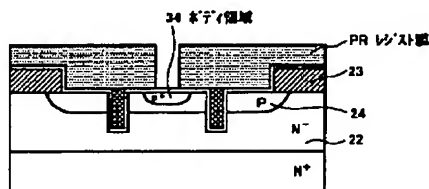
【図24】



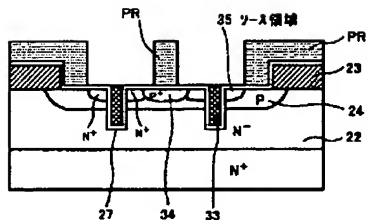
【図25】



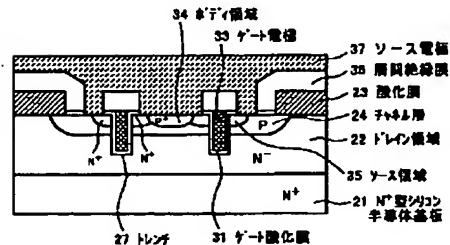
【図26】



【図27】



【図28】



DERWENT-ACC-NO: 2002-332759

DERWENT-WEEK: 200237

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Insulated gate field effect transistor device for mobile telephone, has gate oxide film formed on side walls of trench formed on N-type substrate, adjacent to which P-type channel layer is formed

PATENT-ASSIGNEE: SANYO ELECTRIC CO. LTD(SAOL)

PRIORITY DATA: 2000JP-0091051 (March 29, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP2001284588A	October 12, 2001	N/A	009	H01L 029/78

APPLICATION DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2001284588A	N/A	2000JP-0091051	March 29, 2000

INT-CL (IPC): H01L021/336, H01L029/78

ABSTRACTED PUB-NO: JP2001284588A

BASIC ABSTRACT:

NOVELTY: A gate oxide film (10) is formed on the side walls of a trench (7) formed on a N-type substrate, to which ions are injected. A P-type channel layer is formed adjacent to the trench.

DETAILED DESCRIPTION: An INDEPENDENT CLAIM is also included for insulated gate semiconductor device manufacturing method.

USE: Used in protective circuits of lithium ion batteries used in portable terminals such as mobile telephone.

ADVANTAGE: Since P-type channel layer is formed, a separate and thick channel for ion implantation is not necessary. Uniform ion implantation enables uniform MOSFET threshold voltage.

DESCRIPTION OF DRAWING(S): The figure shows a sectional view explaining the manufacturing method of insulated gate FET device. (Drawing includes non-English language text).

Trench 7

Gate oxide film 10

CHOSEN DRAWING: Dwg 3/28

TITLE TERMS: INSULATE GATE FIELD EFFECT TRANSISTOR DEVICE MOBILE TELEPHONE GATE OXIDE FILM FORMING SIDE WALL TRENCH FORMING N-TYPE SUBSTRATE ADJACENT P-TYPE CHANNEL LAYER FORMING

DERWENT CLASS: U11 U12 U24 W01 X16

EPI CODES: U11 C02B2, U11 C02J6, U11 C05E1, U12 D02A, U24 E, W01 C01D3C,
X16 X

SECONDARY ACC NO:

Non-CP Secondary Accession Numbers: N2002-261349